

6

DERWENT-ACC-NO: 1998-383236  
DERWENT-WEEK: 199833  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor package manufacturing method e.g. for  
BGA, QFP for  
mounting semiconductor chip - involves coating resist so  
that mounting portion  
of solder ball containing recess gets exposed

PATENT-ASSIGNEE: MATSUSHITA ELECTRIC WORKS LTD[MATW]

PRIORITY-DATA: 1996JP-0314936 (November 26, 1996)

PATENT-FAMILY:

| PUB-NO        | PUB-DATE     | LANGUAGE |
|---------------|--------------|----------|
| PAGES         | MAIN-IPC     |          |
| JP 10154766 A | June 9, 1998 | N/A      |
| 004           | H01L 023/12  |          |

APPLICATION-DATA:

| PUB-NO            | APPL-DESCRIPTOR | APPL-NO        |
|-------------------|-----------------|----------------|
| APPL-DATE         |                 |                |
| JP10154766A       | N/A             | 1996JP-0314936 |
| November 26, 1996 |                 |                |

INT-CL (IPC): H01L021/60; H01L023/12 ; H05K003/24

ABSTRACTED-PUB-NO: JP10154766A

BASIC-ABSTRACT: The method involves forming a ball pad land  
(2) and a circuit  
pattern functioning as termination for direct surface  
mounting at other  
external circuit on lower surface of a wiring board (1). A  
recess (4) is  
formed at a position where a solder ball (8) of ball pad  
land is mounted by a  
metal die (3).

A resist (5) is coated so that a mounting portion (6) of  
solder ball containing  
recess is exposed. An Au-Ni plating (7) is then given on  
mounting portion of  
solder ball. The solder ball is mounted on the mounting

portion after Au-Ni  
plating.

ADVANTAGE - Arranges solder ball on ball pad land  
correctly. Improves adhesive  
strength of wiring board and solder ball. Prevents flow of  
solder during  
resist coating around mounting portion of solder ball.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS:

SEMICONDUCTOR PACKAGE MANUFACTURE METHOD MOUNT

SEMICONDUCTOR CHIP COATING

RESIST SO MOUNT PORTION SOLDER BALL CONTAIN RECESS EXPOSE

DERWENT-CLASS: U11

EPI-CODES: U11-D01A3A; U11-D03B1; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-300044

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-154766

(43)公開日 平成10年(1998)6月9日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

F

21/60

3 1 1

21/60

3 1 1 S

H 0 5 K 3/24

H 0 5 K 3/24

B

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21)出願番号

特願平8-314936

(22)出願日

平成8年(1996)11月26日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 岸野 光寿

大阪府門真市大字門真1048番地松下電工株式会社内

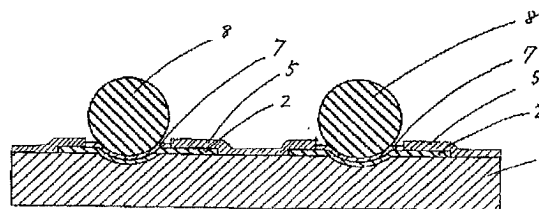
(74)代理人 弁理士 佐藤 成示 (外1名)

(54)【発明の名称】 半導体パッケージの製造方法及び半導体パッケージ

(57)【要約】

【課題】 BGA型半導体パッケージ及びBGA半導体パッケージの製造方法において、配線基板の形成されたボールパットランドに半田ボールを正確に配置し、配線基板と半田ボールとの接着強度を向上を図ることである。

【解決手段】 本発明の半導体パッケージの製造方法は、配線基板の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリットアレイ型半導体パッケージの製造方法において、配線基板の下面に他の外部回路に直接表面実装するための終端となるボールパットランド及び回路パターンを形成し、上記ボールパットランドの半田ボールが実装される位置に金型成形により凹部を形成し、前記凹部より構成される半田ボールの実装部が露出するようにレジストを塗布し、さらに、前記半田ボールの実装部にAu-Niメッキを施した後、半田ボールを実装することを特徴とする。



## 【特許請求の範囲】

【請求項1】 配線基板の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリットアレイ型半導体パッケージの製造方法において、配線基板の下面に他の外部回路に直接表面実装するための終端となるボールパットランド及び回路パターンを形成し、上記ボールパットランドの半田ボールが実装される位置に金型成形により凹部を形成し、前記凹部より構成される半田ボールの実装部が露出するようにレジストを塗布し、さらに、前記半田ボールの実装部にAu-Niメッキを施した後、半田ボールを実装することを特徴とする半導体パッケージの製造方法。

【請求項2】 配線基板の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリットアレイ型半導体パッケージにおいて、半田ボールが実装されているボールパットランドに凹部が形成され、実装部分がレジストより露出していることを特徴とする半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体チップを搭載し、外部回路に接続するために用いる配線基板より構成される半導体パッケージに関し、詳しくは、外部回路に接続する端子として半田ボールが実装されたボールグリットアレイに関するものである。

## 【0002】

【従来の技術】従来、チップをプリント配線板などの外部回路に接続するための装置として、クワッド・フラット・パッケージ（以下、QFPとする）がある。

【0003】このQFPは、パッケージの内部でチップとリードフレームのインナー・リードとをワイヤボンディング等により接続し、チップを含む領域を樹脂で封止してパッケージとし、その四辺からリードフレームのアウトリードを引き出し、前記リードをガルウィング状に形成し、外部回路と接続する半導体パッケージである。

【0004】ところが、近年の半導体パッケージの要求は、実装密度の向上と、実装に必要な面積の縮小にあった。そのニーズに対して外部回路と接続する半導体パッケージとして、ボールグリットアレイ（以下、BGAとする）がある。このBGAは、配線基板に配線パターンを形成し、この配線パターンを使用して一つのモジュールにチップを複数個搭載することが容易となる。

【0005】一般的なBGA型の半導体パッケージは、プリント配線板用の銅張積層板をベース材料とし、この銅張積層板をフォトエッチング法等の方法で加工し、チップ搭載部と配線部を形成している。

【0006】配線基板を外部回路に直接接続するために、球状のボールパットランドを前記基板の下面に設け

る際、半田ボールの形状やその大きさは、電極端子の数や配線密度に依存している。

【0007】そのため、近年のように配線密度が高くなり、電極端子の数が増大すると、ボールパットランドの面積が小さくなり、半田ボールを実装する面積が非常に小さくなるため、半田ボールを精度よく配置し、接着する必要があった。しかしながら、半田ボールをボールパットランドに接着、配置する方法としては、予め、半田ペーストをボールパットランドに塗布し、ボールパットランドの位置に対向した貫通孔を有するマスクを配線基板に重ね合わせ、そのマスクに球状の半田ボールを転がして入れ込み、半田ボールを仮止めたのち、半田を溶融させて半田ボールを接着していた。

【0008】ところがこの方法では、半田ボールがボールパットランドの中心からずれるものがあり、半田を溶融した際に隣接した半田ボールと接触し、接着不良が発生したり、ボールパットランドと半田ボールとの接触面積が小さいため接着力が低下し接着不良が発生することがあった。

## 20 【0009】

【発明が解決しようとする課題】本発明は上記の問題に鑑みてなされたものであり、その目的とするところは、BGA型半導体パッケージ及びBGA半導体パッケージの製造方法において、配線基板の形成されたボールパットランドに半田ボールを正確に配置し、配線基板と半田ボールとの接着強度を向上を図ることである。

## 【0010】

【課題を解決するための手段】本発明の請求項1に係る半導体パッケージの製造方法は、配線基板の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリットアレイ型半導体パッケージの製造方法において、配線基板の下面に他の外部回路に直接表面実装するための終端となるボールパットランド及び回路パターンを形成し、上記ボールパットランドの半田ボールが実装される位置に金型成形により凹部を形成し、前記凹部より構成される半田ボールの実装部が露出するようにレジストを塗布し、さらに、前記半田ボールの実装部にAu-Niメッキを施した後、半田ボールを実装することを特徴とする。

40 【0011】本発明の請求項2に係る半導体パッケージは、配線基板の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリットアレイ型半導体パッケージにおいて、半田ボールが実装されているボールパットランドに凹部が形成され、実装部分がレジストより露出していることを特徴とする。

## 【0012】

【発明の実施の形態】以下、本発明の実施形態について、製造方法の工程を示す図面に基づいて具体的に説明する。

【0013】図1は、本発明の一実施形態に係る半導体パッケージの断面図である。図2は、本発明の一実施形態に係る半導体パッケージの製造方法の工程を示す説明図である。

【0014】図示の如く、本発明の半導体パッケージは、プリント配線板等の配線基板1と同様の構成であるが、配線基板1の裏面に形成されたボールパットランド2上に半田ボール8が配置されている。

【0015】まず、配線基板1をエッチングなどのパターンニング方法を用いて、その裏面にボールパットランド2を形成する。ここで、配線基板1が銅箔の貼着された配線基板1を使用する場合は、フォトリソエッチング加工を使用することができ、絶縁部が露出した配線基板1を使用する場合は、メッキ法によりボールパットランド2等の回路パターンを形成することができる。(図2①参照)

次に、上記配線基板1に形成されたボールパットランド2の中心に、金型成形によりそれぞれのボールパットランド2の中心に凹部4を形成する。図に示す如く、本発明の実施形態で使用する金型3は、ボールパットランド2に対向して形成された金型3で、ボールパットランド2にピンを立てるような形状であるが、その先端が球面状になっており、ボールパットランド2を押圧して成形すると、ボールパットランド2の中心に表面が球状の凹部4を形成することができる。(図2②参照)

そして、上記凹部4を形成した配線基板1にレジスト5を塗布する。図に示す如く、レジスト5は、半田ボール8が実装されるボールパットランド2の実装部6には塗布されず露出している。このようにレジスト5をボールパットランド2の実装部6だけ塗布しない方法として

は、レジスト5を全面に塗布或いはレジストフィルムを貼着した後露光、現像を実施して、不要な部分を除去する。(図2③参照)

そして、上記ボールパットランド2の半田ボール8の実装部6にAu-Niメッキ7を施す。(図2④参照)

次いで、前記半田ボール8の実装部6に固形球状の半田ボール8を配置する。配置した半田ボール8は、その表面が上記ボールパットランド2に形成された凹部4に面

接触する。(図2⑤参照)

このようにボールパットランド2に配置された半田ボール8をリフロー加熱することにより、図1に示す如く、半田ボール8を配線基板1実装することができる。

【0016】また、上記ボールパットランド2に形成された凹部4が半田ボール8の実装位置を正確に決めるとともに、ボールパットランド2の実装部6だけ露出しているレジスト5によって半田ボール8が転がり移動するのを防いでいる。

10 【0017】

【発明の効果】上述したように、本発明の半導体パッケージの製造方法及び半導体パッケージによると、配線基板1の下面に、他の外部回路に直接表面実装できるように略マトリックス状に半田ボールが実装されたボールグリッドアレイ型半導体パッケージにおいて、半田ボールが実装されているボールパットランドに凹部が形成され、実装部がレジストより露出しているため、半田ボールを精度良く配置できるとともに、転がり移動するのを抑制することができる。さらに、半田ボールと凹部とが面接触しているため接触面積が大きくなり、接着強度の向上を図ることができる。また、ボールパットランドの実装部がレジストより露出しているため、周囲に塗布されたレジストが半田ボールを実装するさいの、半田の流動を防ぐことができる。

【図面の簡単な説明】

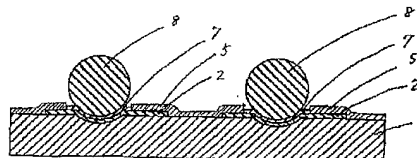
【図1】本発明の一実施形態を示す半導体パッケージの断面図である。

【図2】本発明の一実施形態を示す半導体パッケージの製造方法を示す説明図である。

30 【符号の説明】

- |   |           |
|---|-----------|
| 1 | 配線基板      |
| 2 | ボールパットランド |
| 3 | 金型        |
| 4 | 凹部        |
| 5 | レジスト      |
| 6 | 実装部       |
| 7 | Au-Niメッキ  |
| 8 | 半田ボール     |

【図1】



【図2】

